

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation ⁶ : G11C 11/56</p>	A2	<p>(11) Internationale Veröffentlichungsnummer: WO 96/25741</p> <p>(43) Internationales Veröffentlichungsdatum: 22. August 1996 (22.08.96)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE96/00168</p> <p>(22) Internationales Anmeldedatum: 5. Februar 1996 (05.02.96)</p> <p>(30) Prioritätsdaten: 195 05 293.5 16. Februar 1995 (16.02.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SCHMITT-LANDSIEDEL, Doris [DE/DE]; Mozartstrasse 125b, D-85521 Ottobrunn (DE). THEWES, Roland [DE/DE]; Birkenstrasse 15, D-82178 Puchheim (DE). BOLLU, Michael [DE/DE]; Kachleitstrasse 6, D-81735 München (DE). BASSE, Paul-Werner [DE/DE]; Heigl Strasse 60, D-82515 Wolfratshausen (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i></p>	
<p>(54) Title: MULTI-VALUED READ-ONLY STORAGE LOCATION WITH IMPROVED SIGNAL-TO-NOISE RATIO</p> <p>(54) Bezeichnung: MEHRWERTIGE FESTWERTSPEICHERZELLE MIT VERBESSERTEM STÖRABSTAND</p> <p>(57) Abstract</p> <p>The invention concerns a multi-valued read-only storage location which is constructed symmetrically for storing a first or second state (M, M''') and asymmetrically for storing at least a third state (M', M''). The advantage thereof is above all that the storage capacity is doubled without notably increasing expenditure and without impairing the signal-to-noise ratio with respect to conventional storage locations. The invention is suitable for electrically programmable and mask-programmable read-only memories, in particular for those used in low-voltage technology.</p> <p>(57) Zusammenfassung</p> <p>Der Anmeldungsgegenstand betrifft eine mehrwertige Festwertspeicherzelle, die zum Speichern eines ersten oder zweiten Zustandes (M, M''') symmetrisch und zum Speichern mindestens eines dritten Zustandes (M', M'') unsymmetrisch aufgebaut ist. Der hiermit erzielte Vorteil liegt vor allem darin, daß ohne nennenswerten Mehraufwand eine Verdopplung der Speicherkapazität erreicht wird, ohne daß der Störabstand gegenüber herkömmlichen Speicherzellen verschlechtert wird. Der Anmeldungsgegenstand eignet sich für elektrisch programmierbare und maskenprogrammierbare Festwertspeicher, insbesondere für solche in Niedervolttechnik.</p>		

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

Mehrwertige Festwertspeicherzelle mit verbessertem Störabstand.

5

Übliche Speicherzellen können jeweils 1 Bit Information speichern. Die beiden Zustände der Zelle können z.B. eine hohe oder niedrige Einsatzspannung des Transistors in einer 1-Transistorspeicherzelle sein. Bei dem Auslesevorgang werden
10 die Bitleitungen in vielen bekannten Anordnungen zunächst auf eine definierte Spannung vorgeladen. Bei Ansteuerung der Zelle über die Wortleitung wird die an die Zelle angeschlossene Bitleitung je nach Zustand der Zelle mehr oder weniger umgeladen. So kann die Information der Zelle über einen hohen
15 bzw. niedrigen Pegel der Bitleitung ausgelesen werden. Um eine hohe Störsicherheit zu erzielen, müssen die beiden Pegel einen möglichst hohen Spannungsunterschied aufweisen, z.B. positive Versorgungsspannung und 0 Volt.

20 Zur Erhöhung der Informationsdichte, wurden, insbesondere bei Festwertspeichern, gelegentlich auch mehrwertige Speicherzellen eingesetzt. Dabei handelt es sich um Speicherzellen, die jeweils ein Speichervermögen von mehr als 1 Bit aufweisen.

25

Aus der internationalen Patentanmeldung mit der Veröffentlichungsnummer WO 82/ 02977 ist ein maskenprogrammierbarer Festwertspeicher (ROM) bekannt, in dessen Speicherzellen mehr als nur zwei logische Zustände speicherbar sind. Um gleich
30 große Zellen mit jeweils minimaler Größe zu erhalten, werden hierbei die logischen Zustände in den Zellen dadurch einprogrammiert, daß jeweils die Schwellenspannung (Einsatzspannung) des in der jeweiligen Zelle befindlichen Transistors getrennt eingestellt wird.

35

Hierbei müssen mehrere, z.B. vier, unterschiedliche Spannungs- oder Stromwerte zuverlässig unterschieden werden. Dies bedeutet einen höheren Schaltungsaufwand, z.B. für stabilisierte Referenzspannungen, und vor allem eine reduzierte Störsicherheit. Dies kann auch zu verringerter Ausbeute führen. Mehrwertige Speicherzellen haben vermutlich daher bis heute keine praktische Bedeutung erlangt. In modernen Speichern mit reduzierter Versorgungsspannung, z. B. mit 3,3V, sind die genannten Nachteile noch weniger akzeptabel.

10

Die der Erfindung zugrundeliegende Aufgabe liegt nun darin, eine mehrwertige Speicherzelle anzugeben, bei der ein möglichst geringer Schaltungsaufwand erforderlich ist und bei der der Störabstand gegenüber bekannten mehrwertigen Speicherzellen wesentlich verbessert ist. Diese Aufgabe wird erfindungsgemäß durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Die Patentansprüche 2 bis 8 betreffen bevorzugte Ausgestaltungen der Erfindung und die Patentansprüche 9 und 10 betreffen jeweils Verfahren zum Lesen einer erfindungsgemäßen Festwertspeicherzelle.

Die Erfindung wird nachfolgend anhand der Zeichnungen näher erläutert. Dabei zeigt

Figur 1 Darstellungen einer erfindungsgemäßen Speicherzelle in den vier möglichen Zuständen,

Figur 2A bis 2D unterschiedliche Ausbildungen von MOS-Transistoren einer erfindungsgemäßen Speicherzelle zur Realisierung vier unterschiedlicher Speicherzustände,

Figur 3 eine andere Ausführungsvariante zu Figur 2D,

35

Figur 4 Schaltbild einer ersten weiteren erfindungsgemäßen Speicherzelle,

Figur 5 ein Schnittdarstellung zur Erläuterung der Herstellung der Speicherzelle von Figur 4 und

- 5 Figur 6 ein Schaltbild einer zweiten weiteren erfindungsgemäßen Speicherzelle.

In Figur 1 sind in vier unterschiedlichen Zuständen M, M', M'' und M''' programmierte erfindungsgemäße Speicherzellen mit ihren jeweiligen Zellenanschlüssen 1, 2 und 3 dargestellt.
10 Die Speicherzelle mit dem Zustand M weist dabei keine Markierung, die Speicherzelle mit dem Zustand M' am Zellenanschluß 1 eine Markierung in Form eines Punktes, die Speicherzelle mit dem Zustand M'' am Zellenanschluß 2 eine Markierung in Form eines Punktes und die Speicherzelle mit
15 dem Zustand M''' sowohl am Zellenanschluß 1 und 2 eine Markierung in Form eines Punktes auf. Die Speicherzellen mit den gespeicherten Zuständen M und M''' sind also bezüglich der Zellenanschlüsse 1 und 2 symmetrisch und die Speicherzellen
20 mit den gespeicherten Zuständen M' und M'' sind also bezüglich der Zellenanschlüsse 1 und 2 unsymmetrisch.

Die Figuren 2A bis 2D zeigen beispielhaft die Speicherung von 4 Zuständen in einem n-Kanal-Transistor, der sich beispielsweise in einer einmal programmierbaren Speicherzelle (OTP-Speicherzelle) befindet.
25

Figur 2A zeigt dabei den unprogrammierten symmetrischen MOS-Transistor. Im MOS-Transistor von Figur 2B wurden innerhalb
30 eines Bereiches im Gateoxid nahe dem Zellenanschluß 1 negative Ladungen eingebracht. Damit ist eine höhere Gatespannung VG nötig, um unterhalb dieser Region einen Inversionskanal zu erzeugen, als unter dem Gateoxid nahe Zellenanschluß 2. Vereinfacht ausgedrückt bedeutet dies, daß die Einsatzspannung
35 VT nahe Zellenanschluß 1 lokal erhöht ist. Bei Betrieb eines MOS-Transistors im Sättigungsbereich (Drain-Source-Spannung $V_{DS} > V_G - V_T$) ist für den Einsatz der Leitfähigkeit näherungs-

weise nur die Einsatzspannung nahe des Source-Anschlusses bestimmend. Der Source-Anschluß ist definitionsgemäß derjenige der beiden Zellenanschlüsse 1 oder 2, der die niedrigere Spannung aufweist. Bei Ansteuerung von Zellenanschluß 1 als
 5 Source ergibt sich damit eine hohe Einsatzspannung und bei Ansteuerung von Zellenanschluß 2 als Source ergibt sich folglich eine niedrige Einsatzspannung. In Figur 2C sind die Zellenanschlüsse 1 und 2 gegenüber der Anordnung von Figur 2B
 10 praktisch nur vertauscht und die Verhältnisse sind entsprechend umgekehrt. Figur 2D zeigt hingegen den Fall einer beidseitig erhöhten Einsatzspannung.

Figur 3 zeigt den Fall einer im ganzen Kanal erhöhten Einsatzspannung. Bezüglich des elektrischen Verhaltens sind die
 15 Transistoren von Figur 2D und Figur 3 gleichwertig, es können jedoch unterschiedliche Programmiermethoden verwendet werden, was im folgenden jedoch noch näher erläutert wird.

In der nachfolgenden Tabelle ist der Reihe nach für die in den
 20 Figuren 2A bis 2D bzw. Figur 3 gezeigten Transistoren die Einsatzspannung (Schwellenspannung) V_T in Abhängigkeit der Polarität der Spannung V_{DS} an den Zellenanschlüssen 1 und 2 sowie die zugehörige Zelleninformation als 2-Bit-Zahl angegeben. Beachtenswert ist hierbei, daß das auszulesende Signal
 25 den selben hohen Störabstand wie eine herkömmliche 1-Bit-Speicherzelle aufweist.

	VT mit $V_{DS}=V_{21}>0$	VT mit $V_{DS}=V_{12}>0$	Zelleninformation	
	niedrig	niedrig	0 0	M
30	niedrig	erhöht	0 1	M'
	erhöht	niedrig	1 0	M''
	erhöht	erhöht	1 1	M'''

Die Unterscheidung zwischen dem Zustand M'' und M''' kann zum
 35 Beispiel dadurch vorgenommen werden, daß zuerst ein fester Pegel an den ersten Zellenanschluß 1 gelegt wird, die Bitleitung am Zellenanschluß 2 auf einen Vorladepegel vorgeladen

5.

wird, wobei sich dieser von dem festen Pegel am Zellenanschluß 1 unterscheidet, und anschließend die Änderung des Bitleitungspotentials nach Aktivierung der Speicherzelle bewertet wird. Danach wird der feste Pegel an den Zellenanschluß 2 gelegt, die Bitleitung am Zellenanschluß 1 vorgeladen und wieder die Potentialänderung der Bitleitung bewertet.

Die Bewertung kann auch dadurch erfolgen, daß zuerst ein erster fester Pegel an den Zellenanschluß 1 gelegt wird und der Pegel der Bitleitung am Zellenanschluß 2 bewertet wird und danach ein zweiter fester Pegel an den Zellenanschluß 1 gelegt wird und wieder der Pegel der Bitleitung am Zellenanschluß 2 bewertet wird.

Die erfindungsgemäße Speicherzelle eignet sich beispielsweise besonders für einmal programmierbare Speicher (OTP). Die Programmierung kann hierbei durch lokale Injektion von Elektronen in eine Oxid-Nitrid-Oxid-Schicht (ONO), die zumindest einen Bestandteil der Isolationsschicht ISO des MOS-Feldeffekttransistors darstellt, oder aber in eine übliche Oxidschicht erfolgen. Bei Injektion von "heißen" Ladungen bei hoher VDS werden hierbei diese Ladungen in einen kleinen Bereich in der Nähe des Drain-Gebietes injiziert. Die Vorteile sogenannter ONO-Schichten gegenüber üblichen Oxidschichten liegen darin, daß sie eine hohe Einfangwahrscheinlichkeit für Elektronen haben und daß praktisch keine laterale Bewegung dieser Ladungen erfolgt. Der Zustand nach Figur 3 kann durch eine homogene Injektion bewirkt werden.

Eine weitere Ausführungsform der Erfindung besteht darin, daß Kanalbereich in der Nähe eines Anschlusses anders dotiert wird als der übrige Kanal des MOS-Feldeffekttransistors. Dies kann beispielsweise über eine Implantationsmaske erfolgen, deren Öffnung nur einen Teil des Kanalbereichs überdeckt.

Möglicherweise kann auch eine zusätzliche Dotierung vor der Source/Drain-Implantation bei z.B. abgedecktem Source-Bereich an Drain implantiert und von der Drain-Seite des Transistors

her in den Kanal eindiffundiert werden. Die dafür benötigte Maske ist selbstjustierend und daher weniger kritisch. Ferner ist denkbar, die Source-Drain-Implantationen wahlweise mit flachen und mit spitzen Winkeln vorzunehmen. Die Implantation mit spitzen Winkeln, von beispielsweise 0 bis ca. 7 Grad, ist von Standardtechnologien bekannt. Erfahrungen mit flachen Winkeln, von beispielsweise 30 bis 60 Grad, gibt es aus der Entwicklung der LATID-Transistoren (Large-Angle-Tilted-Implanted-Drain). Die Maske für die Implantation mit flachem Winkel ist relativ unkritisch, da sie die betreffenden Source-Drain-Gebiete nur im Übergangsbereich zum Gateoxid überlappen muß und den Kanalbereich beliebig überlappen darf.

Alternativ zur Erhöhung der Einsatzspannung kann die Einsatzspannung, beispielsweise durch Einbringen von positiven Ladungen, auch reduziert werden.

Ferner können entsprechende Speicherelemente natürlich nicht nur mit n-Kanaltransistoren, sondern auch mit p-Kanaltransistoren realisiert werden.

Zur Erzeugung der Asymmetrie des Transistors sind nicht nur die Beeinflussung der Einsatzspannung, sondern beispielsweise auch die Veränderung der Oxiddicke oder unterschiedliche Transistorweiten nahe des Source- bzw. Drain-Anschlusses denkbar.

Ferner kann beim Auslesen der Speicherzelle eine Unterscheidung von drei unterschiedlichen Transistorzustände dadurch erfolgen, daß der Transistor entweder im linearen Bereich, also mit einer Drain-Source-Spannung V_{DS} , die kleiner ist als die um die Schwellenspannung V_T verminderte Gatespannung ($V_{DS} < V_G - V_T$), oder im Sättigungsbereich betrieben wird. Die Anschlüsse werden in diesem Fall nicht umgepolt, sondern es wird nur die Höhe der Spannungsdifferenz von Zellenanschluß 1 und Zellenanschluß 2 geändert. Die Schwellenspannungen, die

sich in den unterschiedlichen Arbeitspunkten ergeben, sind in der nachfolgenden Tabelle dargestellt.

5	Fig.	VT mit $V_{21} > V_{31}$	VT mit $V_{21} \approx V_{31}$	Zelleninf.
	2A	niedrig	niedrig	0 M
	2B	hoch	niedrig	1 M'
	2D, 3	hoch	hoch	2 M'''

10

Neben der Erzeugung einer Symmetrie bzw. Asymmetrie innerhalb des MOS-Transistors T wird die Symmetrie bzw. Asymmetrie in einer weiteren Ausführungsform durch zusätzlich vorhandene Bauelemente, wie Dioden oder Widerstände bewirkt.

15

In Figur 4 ist ein MOS-Feldeffekttransistor dargestellt, dessen Source/Drain-Gebiet über eine Diode D1 mit dem Zellenanschluß 1, dessen Drain/Source-Gebiet über eine Diode D2 mit dem Zellenanschluß 2 und dessen Gateanschluß mit dem Zellen-
 20 anschluß 3 verbunden sind. Je nach Programmierung, ist dabei die Diode D1 durch eine elektrisch leitende Verbindung K und die Diode D2 durch eine elektrisch leitende Verbindung K' überbrückbar. Wie hiermit vier unterschiedliche Zustände in einer entsprechenden Speicherzelle speicherbar sind, ist aus
 25 der nachfolgenden Tabelle entnehmbar.

	Diode an Zellenanschluß	V(2)-V(1)	Zellzustand	Zellinform.
	-	>0	leitend	0 0 M
		<0	leitend	
30	1	>0	sperrend	0 1 M'
		<0	leitend	
	2	>0	leitend	1 0 M''
		<0	sperrend	
	1 und 2	>0	sperrend	1 1 M'''
35		<0	sperrend	

In Figur 5 ist ein Schnittbild einer vorteilhaften Ausführungsform des der Speicherzelle von Figur 4 gezeigt, wobei in das hier beispielsweise n^+ -dotierte Source/Drain-Gebiet S/D zur Bildung der Diode D1 ein p^+ -Gebiet und in das hier beispielsweise n^+ -dotierte Drain/Source-Gebiet D/S zur Bildung der Diode D2 ebenfalls ein p^+ -Gebiet eingefügt ist. Zur Programmierung können in einem maskenprogrammierbaren Festwertspeicher (ROM) die Dioden durch Kontaktlöcher, die durch das p^+ -Gebiet bis zum n^+ -dotierten Source/Drain-Gebiet oder Drain/Source-Gebiet durchgeätzt sind und Kontaktierungen K und K' enthalten, überbrückt werden. Die Programmierung kann daher mittels einer zusätzlichen Kontaktlochmaske erfolgen.

Für eine elektrische Programmierung müssen die Dioden einzeln überbrückt werden können. Dies kann beispielsweise durch Anlegen einer hohen Spannung erfolgen, die z. B. durch Durchbrennen einer Oxidtrennschicht eine dauerhafte leitende Verbindung erzeugt.

Alternativ können auch ursprünglich vorhandene leitende Verbindungen durch Aufschmelzen einzeln unterbrochen werden.

Figur 6 unterscheidet sich von Figur 4 nur dadurch, daß anstelle der Dioden D1 und D2 Widerstände R1 und R2 vorgesehen sind. Hierbei kann dadurch eine Asymmetrie erzeugt werden, daß ein Widerstand in der Source-Zuleitung zu einer stärkeren Stromabnahme führt, als ein Widerstand in der Drain-Zuleitung.

Der Widerstand der Zellenanschlußgebiete kann durch Dichte der Dotierstoffe und Tiefe des dotierten Gebiets verändert werden. Der Kontaktlochwiderstand kann ebenfalls über die Herstellung, beispielsweise über die Ausführung der Barriere, beeinflusst werden. Die Programmierung kann ebenso, wie bei der Ausführungsform von Figur 4 beschrieben, über eine zusätzliche Maske oder elektrisch erfolgen.

Patentansprüche

1. Mehrwertige Festwertspeicherzelle, die zum Speichern eines ersten oder zweiten Zustandes (M , M'') symmetrisch und zum
5 Speichern mindestens eines dritten Zustandes (M' , M'') unsymmetrisch aufgebaut ist.
2. Mehrwertige Festwertspeicherzelle nach Anspruch 1,
bei der ein erster Zellenanschluß (1) mit einem in einem
10 Halbleiterkörper (H) befindlichen Source/Drain-Gebiet (S/D) eines MOS-Feldeffekttransistors (T), ein zweiter Zellenanschluß (2) mit einem im Halbleiterkörper (H) befindlichen Drain/Source-Gebiet (D/S) des MOS-Feldeffekttransistors und
ein dritter Zellenanschluß (3) mit einer Gateelektrode (G)
15 des MOS-Feldeffekttransistors verbunden sind, wobei die Gateelektrode vom Halbleiterkörper durch eine Isolations-schicht (ISO) elektrisch isoliert ist und
bei der der MOS-Feldeffekttransistor selbst, je nach Programmierung, hinsichtlich des ersten und zweiten Anschlusses
20 (1,2) entweder symmetrisch oder unsymmetrisch aufgebaut ist.
3. Festwertspeicherzelle nach Anspruch 2,
bei der die Isolationsschicht (ISO) eine Oxid-Nitrid-Oxid-schicht aufweist, in die, zur Speicherung des ersten Zustandes (M) keine, zur Speicherung des zweiten Zustandes (M'')
25 sowohl im Bereich oberhalb des Source/Drain-Gebietes als auch im Bereich oberhalb des Drain/Source-Gebietes, zur Speicherung des dritten Zustandes (M') nur im Bereich oberhalb des Source/Drain-Gebietes (S/D) und gegebenenfalls zur Speicherung eines vierten Zustandes (M'') nur im Bereich oberhalb
30 des Drain/Source-Gebietes (D/S) Ladungsträger injiziert sind.
4. Mehrwertige Festwertspeicherzelle nach Anspruch 2,
bei der ein im Halbleiterkörper (H) befindliches Kanalgebiet
35 zwischen dem Source/Drain-Gebiet und dem Drain/Source-Gebiet in einem angrenzenden Bereich zum Source/Drain-Gebiet und in einem angrenzenden Bereich zum Drain/Source-Gebiet zur Spei-

cherung des ersten und zweiten Zustandes (M, M'') gleich und zur Speicherung des dritten (M') und gegebenenfalls eines vierten Zustandes (M'') unterschiedlich dotiert ist.

- 5 5. Mehrwertige Festwertspeicherzelle nach Anspruch 1, bei der zur Speicherung eines ersten Zustandes (M) ein erster Zellenanschluß (1) direkt mit einem in einem Halbleiterkörper (H) befindlichen Source/Drain-Gebiet (S/D) eines MOS-Feldeffekttransistors und ein zweiter Zellenanschluß (2) direkt mit
10 einem im Halbleiterkörper (H) befindlichen Drain/Source-Gebiet (D/S) des MOS-Feldeffekttransistors verbunden sind, bei der zur Speicherung des zweiten Zustandes (M'') ein erster Zellenanschluß (1) über ein Bauelement (D1, R1) mit einem in einem Halbleiterkörper (H) befindlichen Source/Drain-
15 Gebiet (S/D) des MOS-Feldeffekttransistors und ein zweiter Zellenanschluß (2) über ein weiteres Bauelement (D2, R2) mit einem im Halbleiterkörper (H) befindlichen Drain/Source-Gebiet (D/S) des MOS-Feldeffekttransistors verbunden sind, bei der zur Speicherung eines dritten Zustandes (M') ein er-
20 ster Zellenanschluß (1) über das Bauelement (D1, R1) mit einem in einem Halbleiterkörper (H) befindlichen Source/Drain-Gebiet (S/D) des MOS-Feldeffekttransistors und ein zweiter Zellenanschluß (2) direkt mit einem im Halbleiterkörper (H) befindlichen Drain/Source-Gebiet (D/S) des MOS-Feldeffekttran-
25 sistors verbunden sind, bei der gegebenenfalls zur Speicherung eines vierten Zustandes (M'') ein erster Zellenanschluß (1) direkt mit einem in einem Halbleiterkörper (H) befindlichen Source/Drain-Gebiet (S/D) des MOS-Feldeffekttransistors und ein zweiter Zellenan-
30 schluß (2) über ein weiteres Bauelement (D2, R2) mit einem im Halbleiterkörper (H) befindlichen Drain/Source-Gebiet (D/S) des MOS-Feldeffekttransistors verbunden sind und bei der ein dritter Zellenanschluß (3) mit einer Gateelektrode (G) des MOS-Feldeffekttransistors verbunden ist, wobei
35 die Gateelektrode vom Halbleiterkörper durch eine Isolations-schicht (ISO) elektrisch isoliert ist.

6. Mehrwertige Festwertspeicherzelle nach Anspruch 5, bei der das Bauelement eine erste Diode (D1) und das weitere Bauelement eine zweite Diode (D2) ist.

- 5 7. Mehrwertige Festwertspeicherzelle nach Anspruch 6, bei der der erste Zellenanschluß (1), zur Bildung der ersten Diode (D1), über ein erstes Zusatzgebiet (Z1) mit dem Source/Drain-Gebiet (S/D) des MOS-Feldeffekttransistors und der zweiten Zellenanschluß (2), zur Bildung der zweiten Diode
10 (D2), über ein zweites Zusatzgebiet (Z2) mit dem Drain/Source-Gebiet (D/S) des MOS-Feldeffekttransistors verbunden sind, bei der zur Speicherung des ersten Zustandes (M) sowohl das erste als auch das zweite Zusatzgebiet (Z1,Z2) durch tief
15 ausgebildete, bis mindestens an das Source/Drain-Gebiet (S/D) und Drain/Source-Gebiet (D/S) reichende, metallische Kontaktierungen (K, K') des ersten und zweiten Anschlusses (1,2) überbrückt sind, bei der zur Speicherung des zweiten Zustandes (M'') sowohl
20 das erste als auch das zweite Zusatzgebiet (Z1,Z2) nur durch flach ausgebildete, lediglich bis mindestens an die beiden Zusatzgebiete reichende, metallische Kontaktierungen des ersten und zweiten Anschlusses (1,2) kontaktiert sind, bei der zur Speicherung des dritten Zustandes (M') nur das
25 erste Zusatzgebiet (Z1) durch eine tief ausgebildete, bis mindestens an das Source/Drain-Gebiet (S/D) reichende, metallische Kontaktierung des ersten Anschlusses (1) überbrückt ist und bei der gegebenenfalls zur Speicherung eines vierten Zustan-
30 des (M'') nur das zweite Zusatzgebiet (Z2) durch eine tief ausgebildete, bis mindestens an das Drain/Source-Gebiet (D/S) reichende, metallische Kontaktierung des ersten Anschlusses (1) überbrückt ist.
- 35 8. Mehrwertige Festwertspeicherzelle nach Anspruch 5, bei der das Bauelement ein erster Widerstand (R1) und das weitere Bauelement ein zweiter Widerstand (R2) ist.

9. Verfahren zum Lesen einer mehrwertigen Festwertspeicherzelle nach einem der Ansprüche 2 bis 8,
bei dem zwischen dem zweiten Zellenanschluß (2) und dem ersten Zellenanschluß (1) eine Spannung (V21) angelegt und eine
5 erste Einsatzspannung (VT1) ermittelt wird,
bei dem anschließend die Spannung (V21) bezüglich der Anschlüsse (1,2) umgepolt und eine zweite Einsatzspannung (VT2) ermittelt wird und
10 bei dem jeweils ein in der mehrwertigen Festwertspeicherzelle gespeicherter Zustand aus den beiden Einsatzspannungen ermittelt wird.

10. Verfahren zum Lesen einer mehrwertigen Festwertspeicherzelle nach einem der Ansprüche 2 bis 4,
15 bei dem eine erste Einsatzspannung (VT1) dadurch ermittelt wird, daß zwischen dem zweiten Zellenanschluß (2) und dem ersten Zellenanschluß (1) eine Spannung (V21) angelegt wird, die so groß ist, daß der MOS-Feldeffekttransistor im linearen
20 Bereich betrieben wird,
bei dem anschließend eine zweite Einsatzspannung (VT2) dadurch ermittelt wird, daß zwischen dem zweiten Zellenanschluß (2) und dem ersten Zellenanschluß (1) eine Spannung (V21) angelegt wird, die so groß ist, daß der MOS-Feldeffekttransistor im Sättigungsbereich betrieben wird, und
25 bei dem jeweils ein in der mehrwertigen Festwertspeicherzelle gespeicherter Zustand aus den beiden Einsatzspannungen ermittelt wird.

1/3

FIG 1

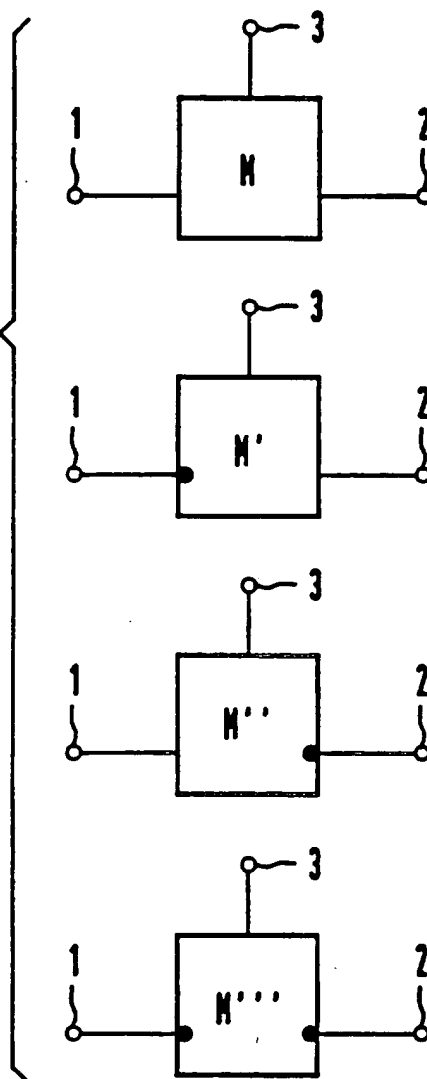
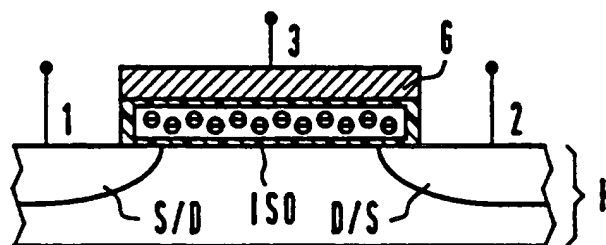
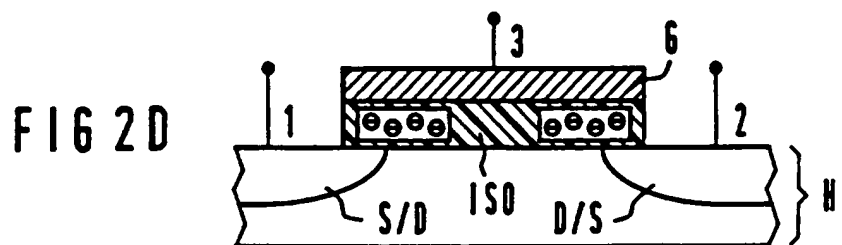
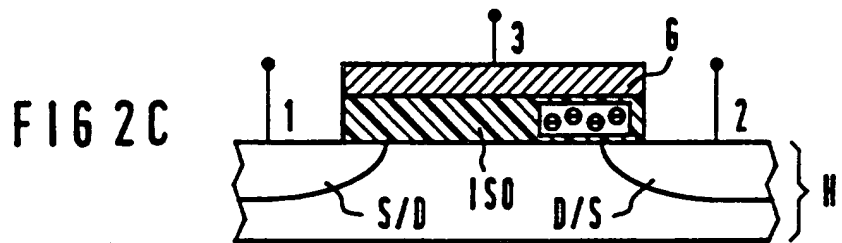
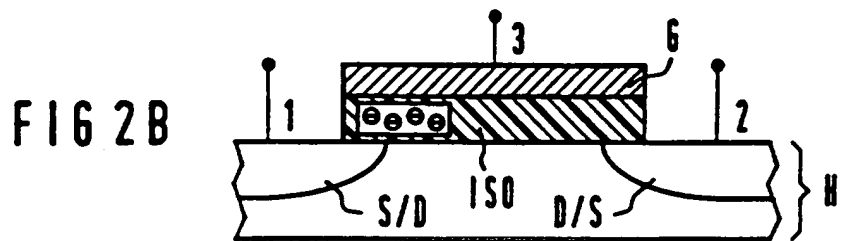
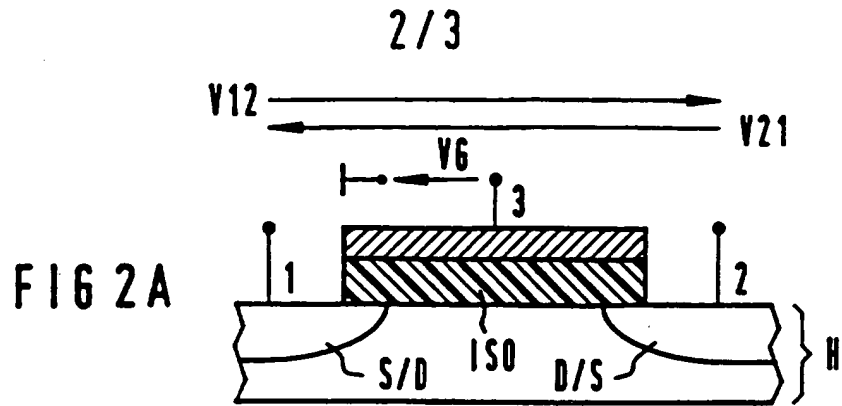


FIG 3





3/3

FIG 4

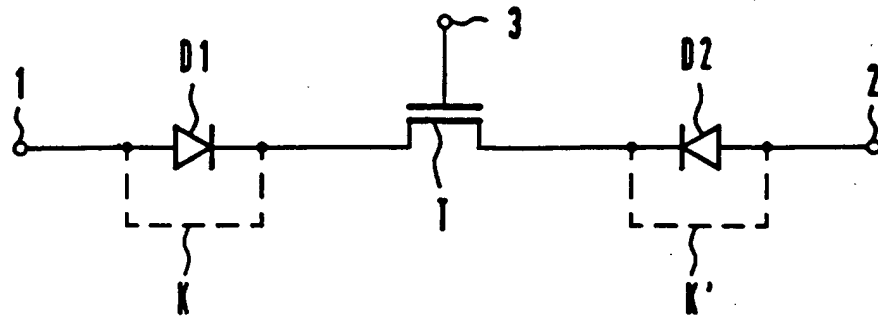


FIG 5

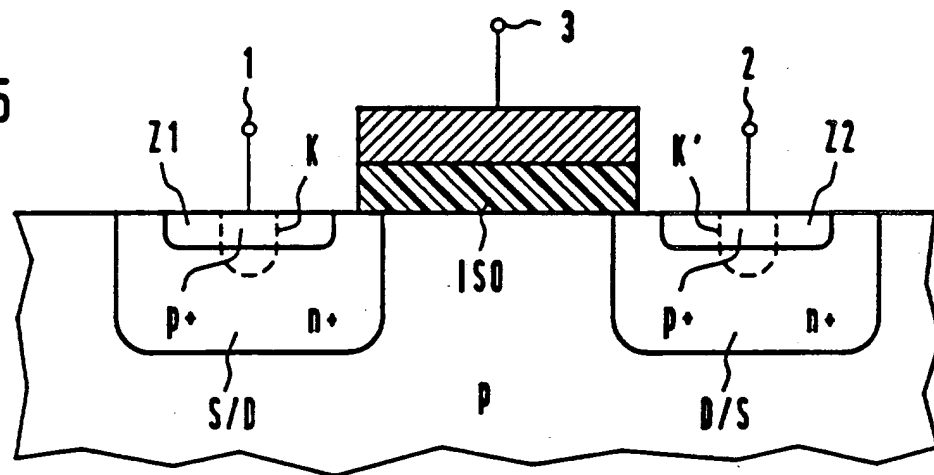


FIG 6

